

Výber obvodu vhodného na implementáciu IDEA algoritmu

Požiadavky

- Podpora vývojového nástroja WebPack od firmy XILINX
- Maximálna veľkosť čipu

Výsledok

Rozhodol som sa vybrať PLD čip XC95288XV z rodiny XC9500. Celá rodina čipov XC9500 je podporovaná vývojovým nástrojom WebPack a súčasne je najväčším typom z tejto rodiny.

Stručná charakteristika

- Optimalizovaný pre vysoko výkonné 2.5V systémy
 - 3.5 ns oneskorenie pin-to-pin
 - FastFlash technológia
- In-system programmable – programovanie je možné v zapojenom obvode
- FastCONNECT II prepínacia sieť
- 54 vstupné funkčné bloky
- podpora IEEE Standard 1149.1 boundary-scan (JTAG)

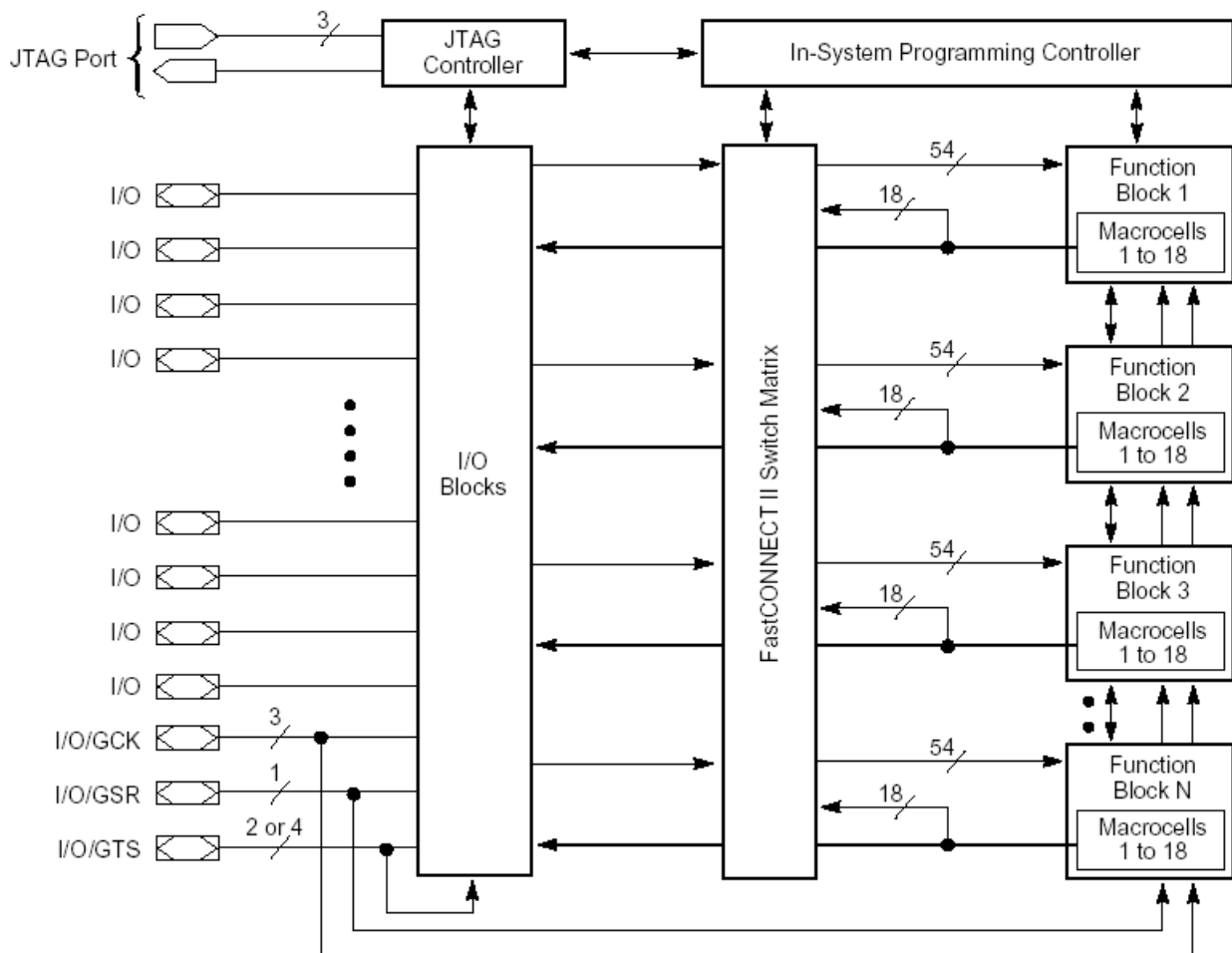
Popis architektúry

Každý čip je tvorený viacnásobnými funkčnými blokmi a I/O blokmi prepojenými prepínacou sieťou typu FastCONNECT II. I/O bloky plnia funkciu vstupno výstupných registrov. Každý funkčný blok obsahuje 54 vstupov a 18 výstupov. Na Obr. 1 je bloková schéma z ktorej vychádzajú všetky verzie čipov rodiny XC9500.

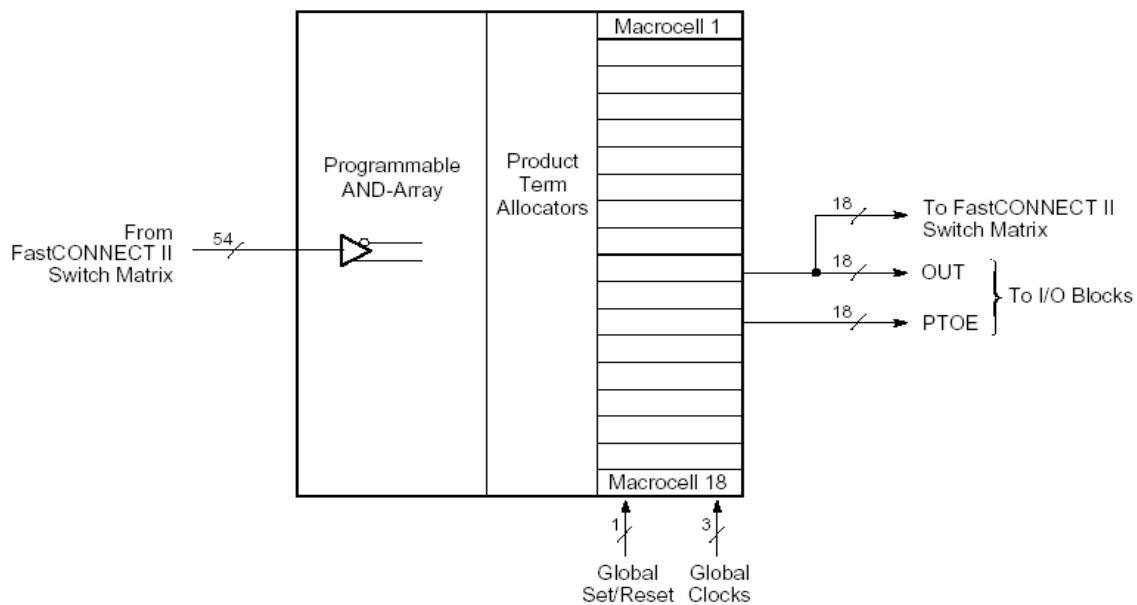
Tabuľka 1 popisuje jednotlivé verzie čipov a obr. 2 zobrazuje jeden funkčný blok.

	XC9536XV	XC9572XV	XC95144XV	XC95288XV
Macrocells	36	72	144	288
Usable Gates	800	1,600	3,200	6,400
Registers	36	72	144	288
T _{PD} (ns)	3.5	4	4	5
T _{SU} (ns)	2.8	3.1	3.1	3.7
T _{CO} (ns)	1.8	2.0	2.0	2.5
f _{SYSTEM} (MHz)	278	250	250	222
Output Banks	1	1	2	4

Tab. 1 Popis verzií čipov rodiny XC9500



Obr.1 Bloková schéma XC9500 rodiny čipov



Obr. 2 Funkčný blok

Každý funkčný blok obsahuje až 18 makrobuniek. Jedna makrobunka má konfigurovateľný D alebo flip-flop preklápací obvod s asynchrónnym set alebo resetom.

Záver

Pre bližšie informácie o obvode je možné získať na stránkach firmy XILINX [1].

Zdroje

[1] XILINX homepage. <http://www.xilinx.com>