

Zápisnica zo stretnutia č. 14

Názov projektu:	Univerzálny virtuálny verifikačný panel logických obvodov	
Vedúci projektu:	Ing. Katarína Jelemenská, PhD.	
Miesto stretnutia:	Zasadačka FIIT STU	
Dátum stretnutia:	17.3.2010	
Čas stretnutia:	13:30	
Prítomní:	Bc. Dominik Macko	-DM
	Bc. Mário Patoprstý	-MPA
	Bc. Martin Popelka	- MPO
	Bc. Miroslav Siebert	-MS
	Bc. Martin Valko	-MV
Prítomný hostia:	Ing. Katarína Jelemenská, PhD.	
Nepítomný:		
Zapisovateľ:	Bc. Mário Patoprstý	
Vedúci stretnutia:	Bc. Miroslav Siebert	
Téma stretnutia:	<u>Skontrolovanie úloh z minulého týždňa a diskusia o implementácii exportu do obrázku a testovaní doposiaľ vytvorených funkcií</u>	

Obsah stretnutia

- Kontrola zadaných úloh
- Diskusia o naimplementovaných funkciách z minulého týždňa a o ich možnom vylepšení
- Stanovenie úloh pre ďalšie pokračovanie implementácie funkcií

Kontrola úloh

Termín zadania	Popis úlohy	Riešiteľ	Termín splnenia	Stav
10.3.2010	Implementácia multiplexorov	DM	17.3.2010	OK
10.3.2010	Implementácia preklápacích obvodov D a T	MPA	17.3.2010	OK
10.3.2010	Implementácia preklápacích obvodov SR, J	MPO	17.3.2010	OK
10.3.2010	Návrh riešenia pre preklápacie obvody a m	MS	13.3.2010	OK
10.3.2010	Testovanie funkčnosti preklápacích obvodov	MV	24.3.2010	OK

Stanovenie úloh

Popis úlohy	Riešiteľ	Termín
Implementácia exportu do obrázku	DM	24.3.2010
Dokumentácia k preklápacím obvodom, multiplexorom, exportu do obrázku	MPA	24.3.2010
Testovanie exportu do obrázku, skrývanie nepoužitých členov	MPO	31.3.2010
Návrh riešenia pre export zapojenia do obrázku, skrytie nepoužitých členov	MS	20.3.2010
Implementácia skrývania nepoužitých členov	MV	24.3.2010

Plán budúcich stretnutí

Dátum	Čas	Miesto	Vedie	Zapisuje
24.3.2010	13:30	Softvérové štúdio	MS	MPA
31.3.2010	13:30	Softvérové štúdio	MS	MPA
7.4.2010	13:30	Softvérové štúdio	MS	MPA
14.4.2010	13:30	Softvérové štúdio	MS	MPA