# Zápisnica zo stretnutia č. 16

**Názov projektu:** Univerzálny virtuálny verifikačný panel logických obvodov

**Vedúci projektu:** Ing. Katarína Jelemenská, PhD.

**Miesto stretnutia:** Zasadačka FIIT STU

**Dátum stretnutia:** 31.3.2010

**Čas stretnutia:** 13:30

**Prítomní:** Bc. Dominik Macko -DM

 Bc. Mário Patoprstý -MPA

 Bc. Martin Popelka - MPO

 Bc. Miroslav Siebert -MS

 Bc. Martin Valko -MV

**Prítomný hostia:** Ing. Katarína Jelemenská, PhD.

**Neprítomný:**

**Zapisovateľ:** Bc. Mário Patoprstý

**Vedúci stretnutia:** Bc. Miroslav Siebert

**Téma stretnutia:** Skontrolovanie úloh z minulého týždňa a diskusia o najlepšom možnom riešení pre funkcionalitu exportu do VHDL

## Obsah stretnutia

* Kontrola zadaných úloh
* Diskusia o naimplementovaných funkciách z minulého týždňa a o ich možnom vylepšení
* Stanovenie úloh pre ďalšie pokračovanie implementácie funkcií

## Kontrola úloh



## Stanovenie úloh



## Plán budúcich stretnutí

