

Zápisnica zo stretnutia č. 17

Názov projektu:	Univerzálny virtuálny verifikačný panel logických obvodov	
Vedúci projektu:	Ing. Katarína Jelemenská, PhD.	
Miesto stretnutia:	Zasadačka FIIT STU	
Dátum stretnutia:	7.4.2010	
Čas stretnutia:	13:30	
Prítomní:	Bc. Dominik Macko	-DM
	Bc. Mário Patoprstý	-MPA
	Bc. Martin Popelka	- MPO
	Bc. Miroslav Siebert	-MS
	Bc. Martin Valko	-MV
Prítomný hostia:	Ing. Katarína Jelemenská, PhD.	
Nepítomný:		
Zapisovateľ:	Bc. Mário Patoprstý	
Vedúci stretnutia:	Bc. Miroslav Siebert	
Téma stretnutia:	<u>Skontrolovanie úloh z minulého týždňa a diskusia o dôkladnom testovaní a dokončovaní grafických dizajnov a ich implementácii</u>	

Obsah stretnutia

- Kontrola zadaných úloh
- Diskusia o naimplementovaných funkciách z minulého týždňa a o ich možnom vylepšení
- Stanovenie úloh pre ďalšie pokračovanie implementácie funkcií

Kontrola úloh

Termín zadania	Popis úlohy	Riešiteľ	Termín splnenia	Stav
31.3.2010	Implementácia exportu do VHDL	DM	7.4.2010	OK
31.3.2010	Testovanie klávesových skratiek po implem	MPA	14.4.2010	OK
31.3.2010	Kontrola a testovanie správnosti výstupnýc	MPO	7.4.2010	OK
31.3.2010	Implementácia klávesových skratiek, Návrh	MS	7.4.2010	OK
31.3.2010	Podporné funkcie pre export do VHDL, test	MV	7.4.2010	OK

Stanovenie úloh

Popis úlohy	Riešiteľ	Termín
Implementácia rôznych dizajnov aplikácie	DM	14.4.2010
Dokumentácia klávesových skratiek, nového prekresľovania a rôznych diz	MPA	14.4.2010
Testovanie funkčnosti rôznych dizajnov aplikácie	MPO	21.4.2010
Návrh riešenia pre rôzne dizajny aplikácie	MS	14.4.2010
Implementácia americkej normy súčiastok	MV	14.4.2010

Plán budúcich stretnutí

Dátum	Čas	Miesto	Vedie	Zapisuje
14.4.2010	13:30	Softvérové štúdio	MS	MPA
21.4.2010	13:30	Softvérové štúdio	MS	MPA
28.4.2010	13:30	Softvérové štúdio	MS	MPA