

Zápis 18. stretnutia tímu č. 2

Vedúci pedagóg: Ing. Peter Pištek	
Zúčastnení členovia tímu: Bc. Róbert Chytil Bc. Martin Jánoš Bc. Tomáš Lőrincz Bc. Tomáš Takács Bc. Róbert Virkler	Dátum: 6.4.2011 Miestnosť: D124 Čas: 13.00 – 13.40 Zápis vypracoval: Bc. Martin Jánoš
Chýbajú: -	Zápis overil: Bc. Róbert Chytil

Vyhodnotenie úloh z predchádzajúceho stretnutia

Číslo úlohy	Úloha	Zodpovedný	Stav	Termín
2.6	Správa webového sídla	RV	prebieha	dlhodobo
5.1	Dokumentácia projektu	MJ	prebieha	dlhodobo
5.2	Dokumentácia riadenia	RCh	prebieha	dlhodobo
11.2	Navrhnuť vylepšenia	Všetci	prebieha	dlhodobo
14.4	Vylepšenie hlavného programu	TL	prebieha	13.4.2011
16.1	Testovanie stavových automatov	MJ	splnené	6.4.2011
16.2	Vylepšenie plug-inu stav. aut	RCh	prebieha	13.4.2011
16.4	Podpora nových hradiel pre BLIF	TT	splnené	6.4.2011
17.1	Farebné siete pre PNML	RV	zastavené	6.4.2011
17.2	Vylepšenie plug-inu na minimalizáciu obvodu	MJ	splnené	6.4.2011
17.3	Akceptačné testy	Všetci	prebieha	13.4.2011
17.4	Simulácia pre logické obvody	TL,TT	prebieha	13.4.2011

Pridelené úlohy

Číslo úlohy	Úloha	Zodpovedný	Termín
18.1	Zápis zjednodušeného obvodu do VHDL	MJ	13.4.2011
18.2	Konverzia obvodu z BLIF do VHDL	TT	13.4.2011
18.3	Simulácia Petriho sietí	RV	13.4.2011

Priebeh stretnutia

- Kontrola zápisnice a pridelených úloh zo 17. Stretnutia.
 - RV vyhlásil, že farbenie Petriho sietí (PN) nemá význam, keďže neexistuje zodpovedajúci štandard, podľa ktorého by sa mal riadiť; ďalej navrhol pridať mriežku na pracovnú plochu ako pomôcku pri zarovnávaní prvkov obvodu; potom rozprával o nemožnosti otestovať FSM modul, lebo nemal aktuálnu verziu a tá, ktorú mal k dispozícii sa správala chybné pri načítaní vstupov.
 - TT rozprával o vylepšeniach svojho modulu, ktoré uskutočnil; napríklad znegovanie funkcie, ktorá má v BLIF na výstupe 0, aby dostal 1.
 - TL vyhlásil, že vykoná opravy zistené pri testovaní, najmä automatické pomenovanie spojení a portov kam spojenia patria, potom rozoberal prípady ktoré môžu nastať pri vymazávaní spojenia, ďalej prišiel k záveru, že program vypíše používateľovi upozornenie pri vymazávaní spojenia. Nakoniec si dal za úlohu skompletizovať program na jednotný celok, aby sa doň mohli prípadne pridať ďalšie vlastnosti (napr. simulácia).
 - RCh upozornil TL, že v FSM module sa nevypisujú oblé spojenia a šípky sa niekedy nezobrazia správne a navrhol pomenovanie spojení buď ako ručné alebo ako automatické (ako je to pri logických obvodoch).
 - Dohodol sa jednotný formát akceptačných testov:
 - ✓ pole ID bude v tvare: P_CC[x], kde P je poradové číslo testovaného (abecedné poradie členov tímu), CC je dvojmiestne číslo testu (00-99), x je písmeno (a-z), ktoré určuje označuje poradie podtestu testu s číslom CC v prípade keď bola zistená chyba pri teste CC, ak sa aj vtedy pri testovaní objaví chyba, tak sa vykoná ďalší podtest s písmenom, ktoré nasleduje po x. Podtest sa vykoná až vtedy, keď bola uskutočnená oprava chyby zistenej v teste CC.
 - ✓ pole UC sa vylúči pre svoju nadbytočnosť
 - ✓ RCh bude mať za úlohu evidovať všetky testy, ktoré potom uvedie v dokumentácii riadenia
- Boli pridelené nové úlohy – pedagogický vedúci navrhol implementovať zápis obvodu z BLIF súboru alebo po zjednodušení do VHDL a simuláciu PN ako samostatný modul, tieto funkcionality sme si už určili v dokumentácii projektu ešte v minulom semestri.