

Zápis 19. stretnutia tímu č. 2

Vedúci pedagóg: Ing. Peter Pištek	
Zúčastnení členovia tímu: Bc. Róbert Chytil Bc. Martin Jánoš Bc. Tomáš Lőrincz Bc. Tomáš Takács Bc. Róbert Virkler	Dátum: 13.4.2011 Miestnosť: D124 Čas: 13.00 – 13.40 Zápis vypracoval: Bc. Tomáš Lőrincz
Chýbajú: -	Zápis overil: Bc. Róbert Virkler

Vyhodnotenie úloh z predchádzajúceho stretnutia

Číslo úlohy	Úloha	Zodpovedný	Stav	Termín
2.6	Správa webového sídla	RV	prebieha	dlhodobo
5.1	Dokumentácia projektu	MJ	prebieha	dlhodobo
5.2	Dokumentácia riadenia	RCh	prebieha	dlhodobo
11.2	Navrhnuť vylepšenia	Všetci	prebieha	dlhodobo
14.4	Vylepšenie hlavného programu	TL	prebieha	20.4.2011
17.3	Akceptačné testy	Všetci	prebieha	20.4.2011
17.4	Simulácia pre logické obvody	TL,TT	prebieha	20.4.2011
18.1	Zápis zjednodušeného obvodu do VHDL	MJ	splnené	13.4.2011
18.2	Konverzia obvodu z BLIF do VHDL	TT	splnené	13.4.2011
18.3	Simulácia Petriho sietí	RV	prebieha	20.4.2011

Pridelené úlohy

Číslo úlohy	Úloha	Zodpovedný	Termín
19.1	Rozdelenie pluginu na dve časti	MJ	20.4.2011
19.2.	Používateľská príručka	RCH	20.4.2011

Priebeh stretnutia

- Tím sa dohodol na tom, že bude efektívnejšie ak sa rozdelí plug-in MJ-a na dve časti:
 - Vypísanie zjednodušenej funkcie
 - Uloženie obvodu do VHDL

Dohoda vznikla kvôli problému interakcie plug-inov. Cieľom je aby plug-iny neboli závislé od seba, čo v momentálnej verzii nie je tak, lebo používateľ musí najprv minimalizovať funkciu, až potom sa dá uložiť do VHDL. Vo VHDL je opis správania, bolo potrebné definovať pomocné signály IN_OUT + vytvorený aj TESTBENCH.

- Nebude sa zobrazovať okno pri uložení stavových automatov a logických obvodoch, úloha pre TT a RCH.
- TL implementuje obmedzenie do hlavného programu, aby používateľ nemohol premenovať nepripojené vstupy hradiel. Tým sa zabráni chybám pri ukladaní súboru.
- TL bude naďalej pracovať na vylepení hlavného programu (kontextové menu, nové okná pri nastavovaní vlastností uzlov, informácie o modeli atď.)
- TL a TT majú vymyslieť základnú myšlienku na simuláciu logických obvodov, ako by sa to malo správať pri rôznych situáciách. Napr.: nepripojený vstup, slučka, atď.
- RCH má za úlohu opraviť drobné chyby v plug-ine pre stavové automaty.
- RV mal za úlohu zistiť možnosti simulácie Petriho sietí. Oboznámil tím, že je to zložitý proces, náročný na matematické výpočty. Vysvetlil ako by sa to dalo urobiť. Úloha je predĺžená do ďalšieho týždňa.
- Tím bude pracovať na plagáte na konferenciu IIT.SRC a jeho konečnú úpravu má na starosti RV.