

Fakulta informatiky a informačných technológií  
Slovenská technická univerzita v Bratislava

**Ponuka k téme**

# **Vizualizácia modelov digitálnych systémov**

**Tímový projekt I.**

**Autori:**

Bc. Hyben Martin  
Bc. Jančiga Tomáš  
Bc. Kardoš Martin  
Bc. Maron Ľubomír  
Bc. Süll Zsolt

# Obsah

Tím .....	2
Zoznam členov: .....	2
Skúsenosti.....	2
Motivácia .....	2
Zadanie projektu .....	2
Špecifikácia zadania a návrh postupu riešenia .....	3
Špecifikácia požiadaviek na vytvorený systém .....	3
Dôležité požiadavky:.....	3
Menej dôležité požiadavky: .....	3
Doplňujúce požiadavky:.....	3
Návrh systému .....	4
Predpokladané zdroje .....	9
Zoradenie tém podľa priority .....	9
Aktuálny rozvrh členov tímu.....	10

# Tím

## Zoznam členov:

1. Bc. Hyben Martin
2. Bc. Jančiga Tomáš
3. Bc. Kardoš Martin
4. Bc. Maron Ľubomír
5. Bc. Süll Zsolt

## Skúsenosti

Všetci členovia tímu absolvovali predmety Logické obvody a Opis digitálnych systémov, ktoré boli súčasťou bakalárskeho štúdia. Počas štúdia predmetu Logické obvody sme sa zoznámili s programom Log, ktorý slúži na návrh logických obvodov. Využiť ho môžeme ako jednu z možností overenia výstupu nami navrhnutého systému. V rámci predmetu Opis digitálnych systémov sme sa oboznámili s opisom systémov pomocou hardvérových opisných jazykov, ako VHDL, SystemC a HandleC. Ďalším prínosom predmetu bola práca s programom ModelSim, pomocou ktorého si môžeme overiť výstup prípadnej simulácie systému. Člen tímu Bc. Jančiga Tomáš v rámci svojej bakalárskej práce vizualizoval sieťovú topológiu pre program Dynagen.

## Motivácia

Hlavnou motiváciu nášho tímu je vyskúšať si tímovú prácu v praxi. V dnešnom svete informačných technológií je práca v tíme veľmi dôležitá a žiadaná. Udržať tímového ducha a zosúladiť prácu všetkých členov tímu je v dnešnej dobe hlavnou podmienkou úspešného dokončenia každého projektu. Aj keď si každý z nás už prácu vo dvojici alebo trojici vyskúšal, nikdy to nebolo na projekte takýchto rozmerov. V našej práci bude potrebná a dôležitá koordinácia práce. V našom zadaní je potrebné tiež naprogramovať vizualizačný nástroj pre digitálne opisné jazyky. Do dnes sme vždy na programátorských projektoch pracovali samostatne a práve práca na tomto projekte nás preverí v návrhu, implementácií a správe aplikácie v tíme.

## Zadanie projektu

Analyzujte problematiku vizualizácie modelov digitálnych systémov, opísaných v dostupných HDL jazykoch. Analyzujte možnosti vizualizácie, ktoré poskytujú dostupné návrhové systémy. Na základe analýzy navrhnete a implementujete systém, ktorý transformuje zadaný HDL model na schematický zápis zodpovedajúci opisu štruktúry, resp. na vizualizáciu procesov zodpovedajúcich opisu správania. Vytvorený schematický zápis by mal zachovávať hierarchiu pôvodného modelu, umožňovať samostatné zobrazenie jednotlivých hierarchických úrovní, zmenu usporiadania objektov danej úrovne a export (tlač) jednotlivých hierarchických úrovní, prípadne ich výrezov. Systém by mal umožňovať vizualizáciu simulácie modelov digitálnych systémov, či už vo sfére štruktúry, alebo správania sa. Pri návrhu a implementácii systému sa zamerajte na jednoduchosť ovládania vytvorenej aplikácie s ohľadom na jej použitie vo forme

učebnej pomôcky a podporného prostriedku na tvorbu dokumentácie a možnosť jednoduchého rozšírenia o podporu ďalších HDL jazykov.

## Špecifikácia zadania a návrh postupu riešenia

V analýze projektu sa zameriame na problematiku vizualizácie modelov digitálnych systémov opísaných v jazykoch VHDL, Verilog a SystemC. Pri analýze existujúcich návrhových systémov budeme vychádzať z diplomových projektov vypracovaných na našej fakulte, ktoré sa zaoberali témami blízky problematike nášho zadania. Z dôvodu jednoduchej rozširiteľnosti vytvoreného riešenia o ďalšie jazyky alebo ďalšie rozšírenia už podporovaných jazykov analyzujeme a navrhujeme najlepší formát výstupu transformácie z HDL jazykov do univerzálneho formátu. Tento formát by mal umožniť jednoduchú implementáciu vizualizátora tohto formátu, ktorá nebude musieť pristupovať ku každému jazyku osobitne, ale podľa možností s čo najmenším počtom rozdielov.

V ďalšej časti analyzujeme možnosti využitia existujúcich riešení pre transformáciu do navrhnutého formátu a tiež pre jeho vizualizáciu. Vyberieme programové moduly, ktoré bude možné využiť a pristúpime k návrhu tých modulov, ktoré budeme musieť implementovať sami. Ďalej analyzujeme možnosť pridať do navrhnutého formátu ďalšie údaje potrebné pre simuláciu, alebo vytvorenie samostatného formátu pre tieto účely.

## Špecifikácia požiadaviek na vytvorený systém

### Dôležité požiadavky:

1. Systém musí podporovať jazyky VHDL, Verilog a SystemC.
2. Systém musí byť jednoducho rozširiteľný o ďalšie jazyky, prípadne o nové možnosti už podporovaných jazykov.
3. Systém musí umožňovať vizualizáciu modelov opísaných v jazykoch VHDL, Verilog a SystemC.
4. Systém musí umožňovať zobrazovanie jednotlivých úrovní vizualizovaných modelov.
5. Systém musí umožňovať zmenu usporiadania objektov danej úrovne.
6. Systém musí umožňovať exportovanie vizualizovaného modelu, alebo jeho výrezu pre potrebu tvorby dokumentácie.
7. Systém musí byť jednoducho ovládateľný prostredníctvom grafického používateľského rozhrania.

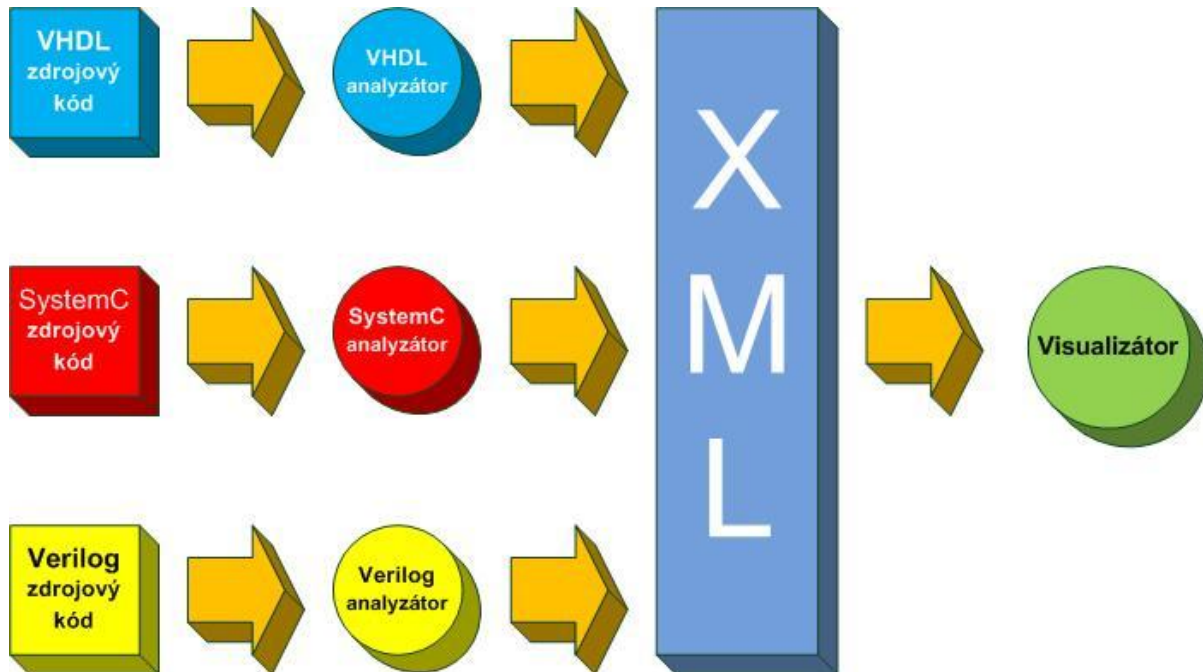
### Menej dôležité požiadavky:

8. Systém by mal poskytovať možnosť vizualizácie simulácie modelov opísaných v jazykoch VHDL, Verilog a SystemC.
9. Systém by mal vedieť simulovať štruktúru aj správanie opísaných modelov.

### Doplňujúce požiadavky:

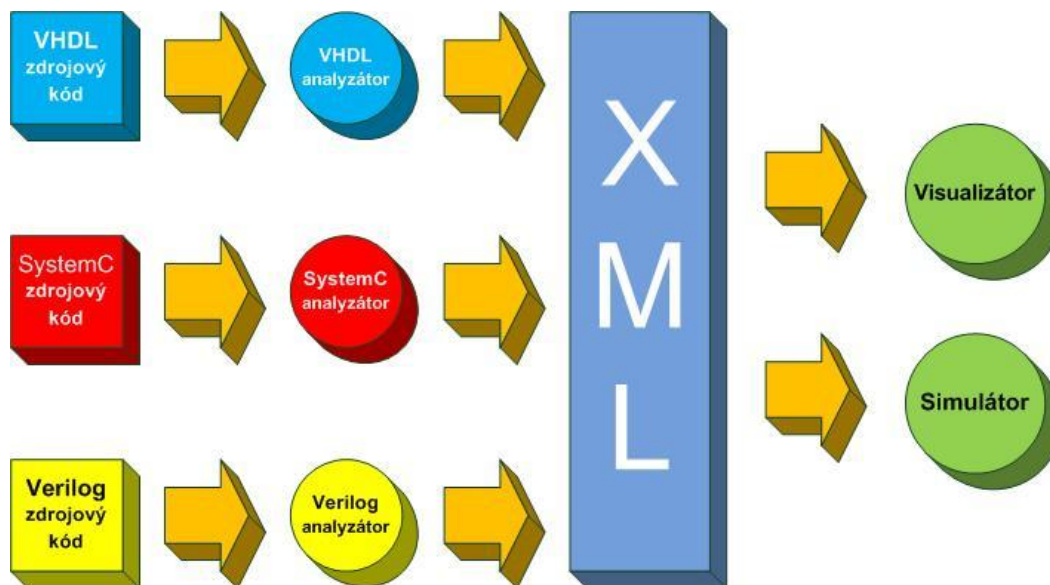
10. Zadávanie testovacích priebehov prostredníctvom grafického používateľského rozhrania.
11. Systém by mohol umožniť vytváranie, otváranie, editovanie a ukladanie zdrojových súborov.

# Návrh systému



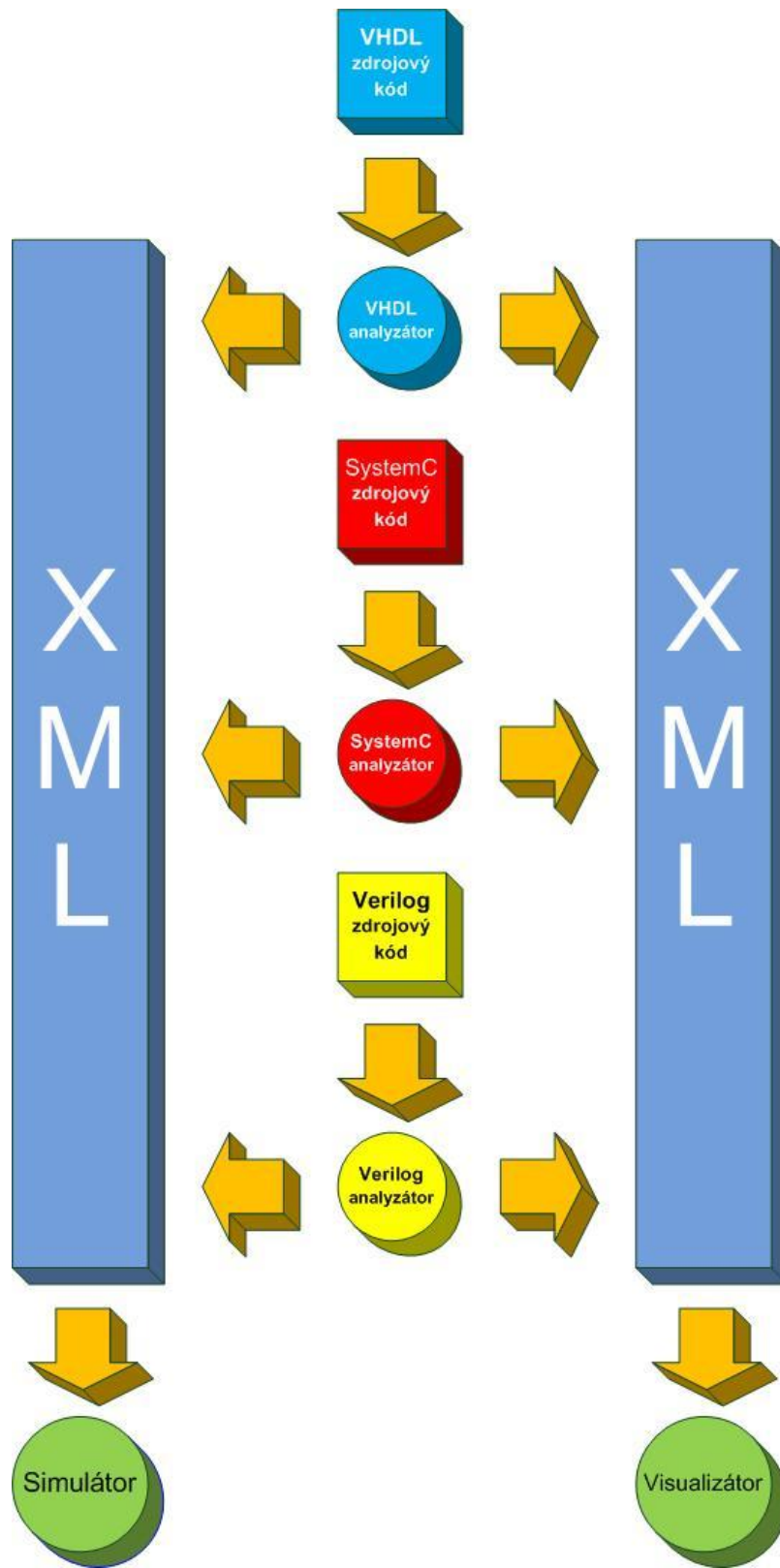
Obr. 1: Splnenie požiadaviek 1 až 7.

Na obrázku Obr. 1 je základná koncepcia navrhovaného systému. Systém bude ako vstup používať zdrojové súbory jazykov VHDL, SystemC a Verilog. Za pomoci generátora parserov ANTLR budú v systéme implementované parsery pre požadované jazyky. Parsery transformujú zdrojové súbory do formátu XML, ktorý bude univerzálny pre všetky podporované jazyky. Vďaka tomu nemusí vizualizátor pristupovať k jednotlivým jazykom osobitne a do systému je možné kedykoľvek doimplementovať ďalší vstupný jazyk a k nemu vygenerovať príslušný parser. Vizualizér použije XML súbor na vytvorenie grafickej reprezentácie opísaného systému. Grafická reprezentácia sa zobrazí používateľovi v grafickom rozhraní, pričom používateľ môže meniť usporiadanie objektov v rámci danej úrovne. Systém tiež umožní exportovať výstup vizualizátora. Táto koncepcia je výsledkom splnenia všetkých dôležitých požiadaviek.



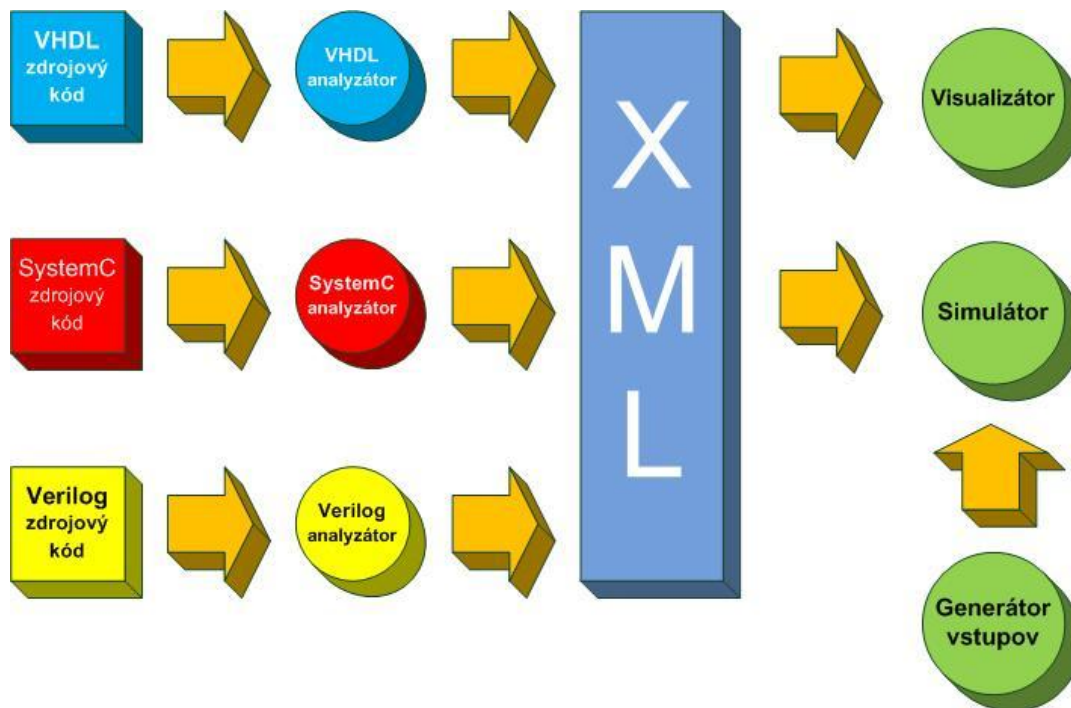
**Obr. 2:** Splnenie požiadaviek 1 až 9, prvá možnosť.

Pre splnenie požiadavky 8 a 9 sme identifikovali dve možné riešenia. Prvé z nich je zobrazené na obrázku Obr. 2. Toto riešenie upravuje parsery jednotlivých jazykov tak, že výstupný súbor XML obsahuje aj údaje potrebné pre simuláciu opísaného modelu, ktoré sú určené pre modul simulátora.



Obr. 3: Splnenie požiadaviek 1 až 9, druhá možnosť.

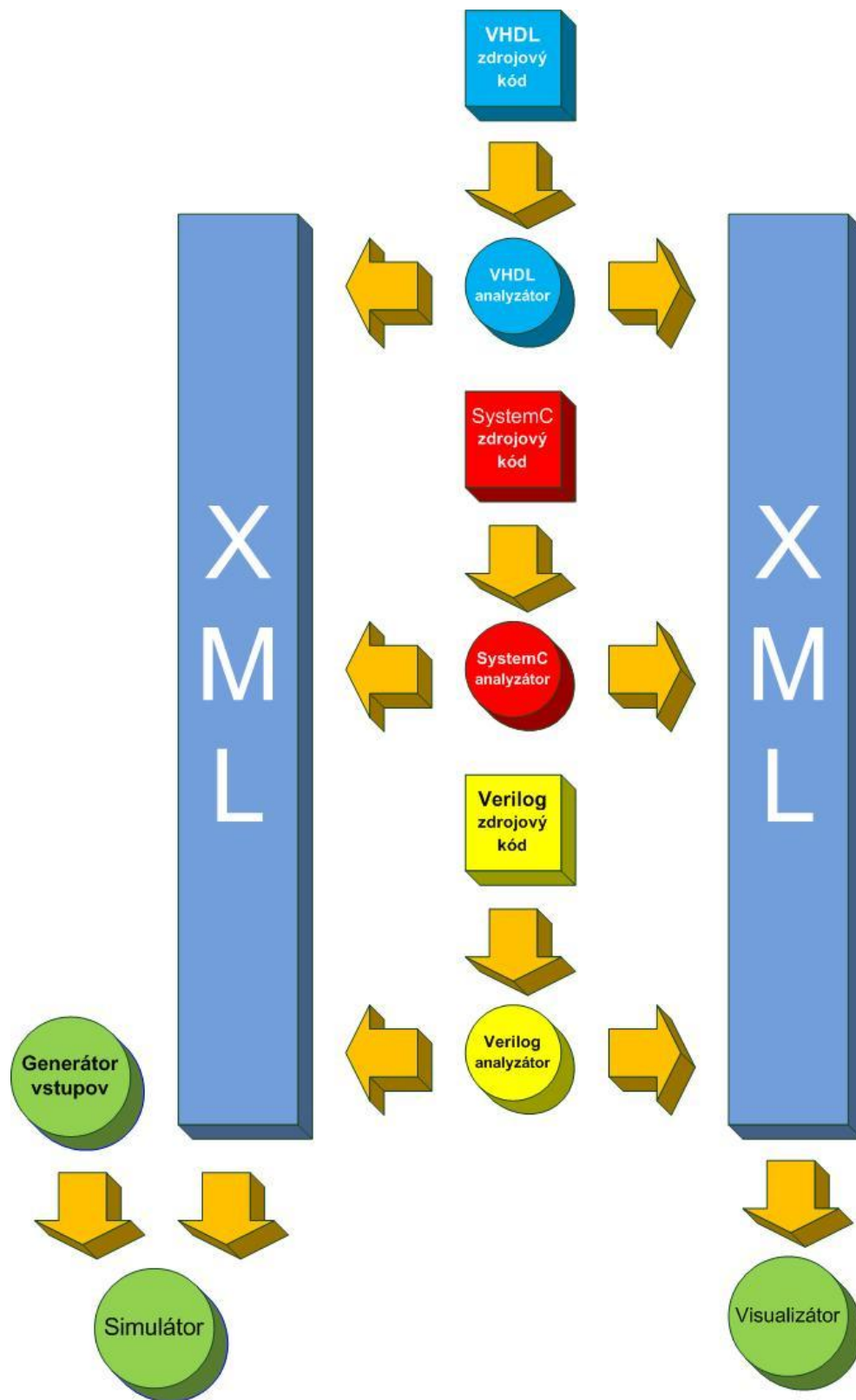
Na obrázku Obr. 3 je ďalšia alternatíva systému. V tomto prípade vytvoríme dva XML súbory. Prvý bude slúžiť ako vstup pre vizualizátor, druhý ako vstup pre simulátor. Vizualizátor a formát prvého XML súboru bude prevzatý z existujúceho systému. Táto alternatíva vznikla ako predpoklad, že existujúci vizualizátor nebude podporovať výstup parseru, ktorý bude obsahovať aj informácie pre simulátor.



**Obr. 4:** Splnenie všetkých požiadaviek, prvá možnosť.

Na obrázku Obr. 4 je doplnený modul generátora vstupov. Vstupy bude možno zadávať ručne, za pomoci grafického používateľského rozhrania alebo generátorom náhodných vstupov, ktorý bude mať tiež možnosť vyskúšať všetky možnosti vstupov. Táto požiadavka však patrí medzi doplnujúce. Nakoniec obrázok Obr. 5 zobrazuje druhú alternatívu systému s dvoma rôznymi formátmi pre vizualizáciu a pre symuláciu.





Obr. 5: Splnenie všetkých požiadaviek, druhá možnosť.

# Predpokladané zdroje

Pri riešení zvoleného projektu budeme vychádzať z rôznych zdrojov, ktoré sú voľne dostupné. Aj na fakulte informatiky a informačných technológií vzniklo niekoľko publikácií a nástrojov, z nich spomenieme nasledovné:

1. J. Turoň, K. Jelemenská, Contribution to graphical representation of SystemC structural model simulation, in Proc. of the 7th FPGAWord Conference, L. Lindh, V.J. Mooney, S. de Pablo, J. Öberg, Eds. Copenhagen (Denmark), September 2010
2. K. Jelemenská, M. Nosál, P. Čičák, Visualization of Verilog Digital Systems Models.
3. D. Macko, K. Jelemenská, VHDL Structural Model Visualization, in EUROCON 2011, Lisbon (Portugal), April 2011

Riešenie tímovej práce si vyžaduje vyhradiť čas, kedy sa budeme stretávať spoločne, ináč budeme robiť každý samostatne vo svojom voľnom čase. Na spoločné stretnutia potrebujeme približne 3 hodiny týždenne.

Zadanie našej tímovej práce sme sa rozhodli riešiť v jazyku C#, preto ako implementačné prostredie sme si zvolili Microsoft Visual Studio. Ako alternatívne riešenie by bolo možné využiť nástroj Eclipse s použitím vhodného rozšírenia pre C#.

Riešenie tejto práce nevyžaduje špeciálne požiadavky na miestnosť, a ani hardvér. Každý z členov tímu disponuje vlastným prenosným počítačom, ktorý spĺňa všetky požiadavky pre prácu na projekte. Všetci členovia tímu pracujú v prostredí operačného systému Windows, čo umožní používať rovnaké softvérové prostriedky. Konkrétne budeme potrebovať nasledovné nástroje: Microsoft Visual Studio, ModelSim, Xilinx ISE WebPACK, Espresso.

## Zoradenie tém podľa priority

1. Vizualizácia modelov digitálnych systémov
2. Prostredie pre návrh digitálnych systémov (Digital System Designer)
3. Vývoj aplikácie pre mobilný telefón / inteligentný televízor
4. Návrh vnoreného systému (Embedded Development)

# Aktuálny rozvrh členov tímu

	7:00 – 7:50	8:00 – 8:50	9:00 – 9:50	10:00 – 10:50	11:00 – 11:50	12:00 – 12:50	13:00 – 13:50	14:00 – 14:50	15:00 – 15:50	16:00 – 16:50	17:00 – 17:50	18:00 – 18:50	19:00 – 19:50	20:00 – 20:50
<b>Po</b>		de35 (BA-MD-FEI D-E) Bezdrôtové komunikačné systémy I. Kotuliak		c102 (BA-MD-FEI C) Vnorené systémy M. Pohronská						E-701 (BA-MD-FEI E) Tímový projekt1 J. Hudec				
<b>Út</b>	cd150 (BA-MD-FEI C-D) Kódovanie K. Čipková								c117a (BA-MD-FEI C) Bezpečnosť počítačových systémov J. Breier		c117a (BA-MD-FEI C) Bezpečnosť počítačových systémov J. Breier			
<b>St</b>	cpu-i (BA-MD-FEI D) Bezdrôtové komunikačné systémy P. Magula		cpu-i (BA-MD-FEI D) Bezdrôtové komunikačné systémy P. Magula		de150 (BA-MD-FEI D-E) Komunikačné služby a siete <sup>1</sup> M. Kotočová		E-702 (BA-MD-FEI E) Bezpečnosť počítačových systémov L. Hudec		D 105 (BA-MD-FEI D) Komunikačné služby a siete B. Dado		MD-FEI D) osť počítačových systémov L. Hudec			
<b>Čt</b>	de150 (BA-MD-FEI D-E) Kódovanie K. Čipková								bc150 (BA-MD-FEI B-C) Architektúra počítačových systémov L. Hudec		bc150 (BA-MD-FEI B-C) Výskum systémov počítačového inžinierstva E. Gramatová			
<b>Pá</b>														

Obr. 6: Zjednotenie rozvrhov všetkých členov tímu.

Na obrázku Obr. 6 sa nachádza zjednotenie všetkých rozvrhov členov tímu. Najviac nám vyhovuje možnosť stretávať sa vo **Štvrtok od 9:00 do 15:00**.